

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68761

(P2000-68761A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 3 F 3/45

H 0 3 F 3/45

Z

G 0 6 G 7/163

G 0 6 G 7/163

S

H 0 3 F 3/195

H 0 3 F 3/195

H 0 3 G 3/10

H 0 3 G 3/10

B

H 0 3 H 11/04

H 0 3 H 11/04

D

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21) 出願番号

特願平10-231548

(22) 出願日

平成10年8月18日 (1998.8.18)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 山▲崎▼ 博

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100077517

弁理士 石田 敬 (外4名)

(54) 【発明の名称】 半導体増幅回路

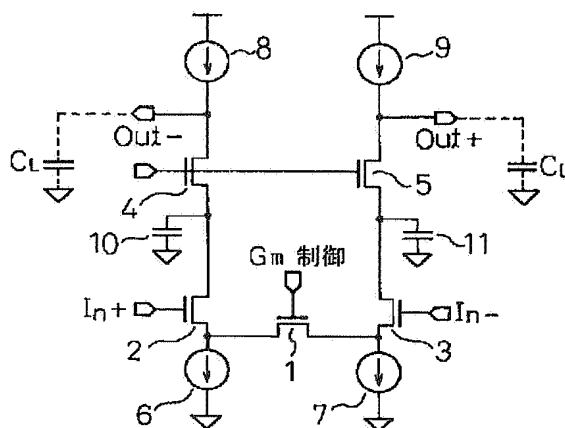
(57) 【要約】

【課題】 理想的な特性を有する積分器が構成可能なOTA回路を得る。

【解決手段】 相互コンダクタンス制御端子にそのゲートを接続したMOSトランジスタ1、そのゲートを差動入力端子に接続した一対のMOSトランジスタ2、3、バイアス入力端子にそのゲートを接続した一対のMOSトランジスタ4、5、MOSトランジスタ1のソース、ドレインに接続された電流源6、7およびMOSトランジスタ4、5のドレインに接続された電流源8、9によって構成されるOTA回路において、第4、第5のMOSトランジスタのソースに第1、第2の容量を付加して、半導体増幅器を構成する。

図 4

第1実施例のOTA回路



## 1

## 【特許請求の範囲】

【請求項 1】 一対の差動入力端子と、そのゲートを相互コンダクタンス制御端子に接続した第 1 の MOS トランジスタと、そのゲートを前記差動入力端子に接続しそのソースを前記第 1 の MOS トランジスタのソース、ドレインの何れかに接続した一対の第 2、第 3 の MOS トランジスタと、そのゲートを一定のバイアス信号入力端子に接続しそのソースを前記第 2、第 3 の MOS トランジスタのドレインにそれぞれ接続した一対の第 4、第 5 の MOS トランジスタと、前記第 1 の MOS トランジスタのソース、ドレインにそれぞれ接続した第 1、第 2 の電流源と、前記第 4 および第 5 の MOS トランジスタのドレインにそれぞれ接続した第 3、第 4 の電流源と、前記第 4、第 5 の MOS トランジスタのドレインと前記第 3、第 4 の電流源間に設けた一対の差動出力端子と、更に前記第 4、第 5 の MOS トランジスタのそれぞれのソースに一端を接続し他端を固定電位に接続した第 1、第 2 の容量とを具備する、半導体増幅回路。

【請求項 2】 前記第 1、第 2 の容量は、前記差動出力端子に負荷容量を接続して構成する積分器のゲイン・位相特性において、前記第 1、第 2 および第 3 の MOS トランジスタに起因する寄生容量によって生じる寄生の零点を、前記第 4、第 5 の MOS トランジスタに起因する寄生容量と前記第 1、第 2 の容量との合計の容量で生じる寄生の極によって補償するように、その値が選択されるものである、請求項 1 に記載の半導体増幅回路。

【請求項 3】 前記第 1、第 2 の容量は、そのゲートを固定電位に接続し、そのソース、ドレイン間を共通に接続しかつ前記第 4、第 5 の MOS トランジスタのソースにそれぞれ接続した第 6、第 7 の MOS トランジスタで構成されるものである、請求項 1 または 2 に記載の半導体増幅回路。

【請求項 4】 前記第 1、第 2 の容量は、前記第 4 および第 5 の MOS トランジスタのソース間に接続された一個の容量によって構成されるものである、請求項 1 または 2 に記載の半導体増幅回路。

【請求項 5】 請求項 1 乃至 4 の何れか 1 項に記載の半導体増幅回路の差動出力端子に負荷容量を接続して構成した積分器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路に搭載する半導体増幅回路に関するものであり、特に MOS トランジスタを使用した OTA (Operational Transconductance Amplifier) 構造を有する半導体増幅器に関する。

## 【0002】

【従来の技術】近年、半導体集積回路の集積度の向上に伴い、従来は外付け部品であった信号処理のためのフィルタ等を集積回路に搭載することが望まれている。集積

## 2

回路に搭載するアクティブフィルタとして積分器が用いられるが、クオリティファクター（以下、Q 値と略す）の高いフィルタを実現するためには、理想に近い積分器が望まれる。

【0003】アクティブフィルタに用いる積分器の回路構成には種々のものがあるが、Gm-C 構成の積分器はより高周波数まで扱えると言う点で有利な特性を有している。Gm-C 構成の積分器は、Gm アンプである OTA 回路と容量負荷 C によって構成される。OTA 回路としては、線形領域で動作する MOS トランジスタを用いたものが、その良好な線形特性により優れている。

【0004】図 1 に従来一般的な OTA の回路構成を示す。この OTA 回路は、線形領域で動作する第 1 の MOS トランジスタ 1 と、そのゲートを差動入力端子  $I_{n+}$ 、 $I_{n-}$  に接続しかつそのソースを MOS トランジスタ 1 のソース・ドレイン間に接続した第 2、第 3 の MOS トランジスタ 2、3 を有している。この MOS トランジスタ 2、3 のドレインには、一定のバイアス電圧信号を入力するための第 4、第 5 の MOS トランジスタ 4、5 のソースが接続されている。なお、このバイアス信号は、MOS トランジスタ 4、5 のゲートに入力される。

【0005】更に、第 1 の MOS トランジスタ 1 のソース、ドレインに第 1、第 2 の電流源 6、7 が、第 4、第 5 の MOS トランジスタ 4、5 のドレインに第 3、第 4 の電流源 8、9 が接続されている。差動出力端子  $O_{ut+}$ 、 $O_{ut-}$  は、第 4、第 5 の MOS トランジスタ 4、5 のドレインと各電流源 8、9 間に設けられる。なお、図 1 に示す OTA 回路の相互コンダクタンス Gm は、Gm 制御端子である第 1 の MOS トランジスタ 1 のゲートに入力される電圧によって制御される。またバイアス信号が入力される第 4、第 5 の MOS トランジスタ 4、5 は、この OTA 回路の出力抵抗  $R_o$  を増大させるためのものである。

【0006】以上のような一般的な OTA 回路において、その各出力端子  $O_{ut+}$ 、 $O_{ut-}$  に負荷容量  $C_L$  を接続することにより、積分器が構成される。このようにして構成された積分器のゲイン・位相特性図を図 2 に示す。また図 2 の特性図を基にしてこの積分器の等価回路を構成すると、図 3 に示すものが得られる。なお図 3 の等価回路は、シングルエンドとして簡略化して示している。

【0007】図 3 において、 $R_o$  は出力抵抗、 $C_L$  は積分器を構成するための負荷容量である。バイアス端子が接続される図 1 の MOS トランジスタ 4、5 は、この出力抵抗  $R_o$  を増大させるためのものである。 $G_o$  は出力コンダクタンスであって、図 1 の MOS トランジスタ 4、5 によって決まる値である。 $C_M$  は、第 4、第 5 の MOS トランジスタ 4、5 に起因する寄生容量（主にチャネルおよびジャンクション容量）であり、第 2、第 3 の MOS トランジスタ 2、3 のドレイン端子に付

## 3

くものである。

【0008】さらに $G_I$ は入力コンダクタンスを示し、図1のMOSトランジスタ対2、3によって決まる値である。 $R_c$ は線形領域で動作するMOSトランジスタ1のオン抵抗、 $C_c$ は第1、第2および第3のMOSトランジスタ1、2、3に起因する寄生容量である。なおMOSトランジスタ1のオン抵抗 $R_c$ は、 $G_m$ 制御端子の電圧によってその値が制御される。

【0009】以上の様な回路構成を有する積分器において、その特性角周波数は、ゲインが0 dBとなる $1/(R_c C_L)$ である。

【0010】

【発明が解決しようとする課題】OTA回路を用いた従来の積分器では、図2に示す様に、寄生容量 $C_c$ によって角周波数 $1/(R_c C_c)$ に寄生の零点、および角周波数 $G_0/C_M$ に寄生の極が形成される。寄生の零点 $1/(R_c C_c)$ の存在によって、使用帯域で積分器の位相が進むと、図2の位相特性図に示すように位相曲線が $-90^\circ$ より持ち上がってしまい、積分器としての特性を劣化させる。その結果フィルタのQ値も小さくなり、高Q値のフィルタの設計が困難となる。

【0011】従って、理想的な特性を有する積分器を得るためには、積分器の動作範囲を狭めるこのような零点は存在しない方が良いが、MOSトランジスタを使用する限りこのような零点および極は避けえない。寄生容量 $C_c$ を小さくすると、この寄生の零点 $1/(R_c C_c)$ は高周波数側に移動し、そのため図2の位相の持ち上がり点も高周波数側に移動するので、この零点による悪影響は小さくなる。寄生容量 $C_c$ を小さくするためには線形領域で動作するMOSトランジスタ1、2および3のサイズを小さくする必要がある。ところが、MOSトランジスタのサイズを小さくすると、 $G_m$ 値の相対精度が悪化する。従って、寄生容量を小さくすることによって積分器の周波数特性を改善しようとする試みは、あまり実現性がない。

【0012】本発明は、従来のOTA回路における上記の問題を解決すべくなされたものであり、線形領域で動作するMOSトランジスタのサイズを小さくすることなく、寄生容量 $C_c$ によって生じる零点を補償し、高Q値のフィルタを実現することが可能な半導体増幅回路を提供する目的でなされたものである。

【0013】

【課題を解決するための手段】上記課題は、一対の差動入力端子と、そのゲートを相互コンダクタンス制御端子に接続した第1のMOSトランジスタと、そのゲートを差動入力端子に接続しそのソースを前記第1のMOSトランジスタのソース、ドレインの何れかに接続した一対の第2、第3のMOSトランジスタと、そのゲートを一定のバイアス信号入力端子に接続しそのソースを第2、第3のMOSトランジスタのそれぞれのドレインに接続

## 4

した一対の第4、第5のMOSトランジスタと、第1のMOSトランジスタのソース、ドレインにそれぞれ接続した第1、第2の電流源と、第4および第5のMOSトランジスタのドレインにそれぞれ接続した第3、第4の電流源と、第4、第5のMOSトランジスタのドレインと第3、第4の電流源間に設けた一対の差動出力端子と、更に第4、第5のMOSトランジスタのそれぞれのソースに一端を接続し他端を固定電位に接続した第1、第2の容量とを具備する、半導体増幅回路によって達成される。

【0014】以上の構成を有する半導体増幅回路では、第1、第2の容量の値を選択することによって、第4、第5のMOSトランジスタに起因する寄生容量の値を見かけ上制御することができる。従って、この回路の差動出力端子に負荷容量を接続して積分器を構成した場合、第4、第5のMOSトランジスタに起因する寄生容量によって生じるゲイン・位相特性上の寄生の極を、第1、第2の容量の選択によって移動させることができる。そのため、第1、第2および第3のMOSトランジスタに起因する寄生容量によって発生する寄生の零点方向へ、前記の極を移動させることにより、寄生の零点が存在することによる悪影響を補償し、理想に近い特性を有する積分器を構成することが可能となる。

【0015】

【発明の実施の形態】本発明では、寄生容量 $C_c$ を小さくすることによって図2に示す寄生の零点 $1/(R_c C_c)$ を高周波数側に移動させる代わりに、寄生の極 $G_0/C_M$ を寄生の零点方向、即ち低周波数側に移動させることによって、この零点が存在することによる位相特性への悪影響を補償しようとするものである。図2に示す特性図において、寄生の極 $G_0/C_M$ よりも角周波数が進むと、ゲインは再び減少を開始し、その結果零点の影響で一旦持ち上がった位相曲線も、再び $-90^\circ$ に向かって低下を始める。

【0016】従って、理想的には寄生の極 $G_0/C_M$ を寄生の零点 $1/(R_c C_c)$ まで低周波数側に移動させると、この零点における影響が補償され、位相はより高周波数側まで $-90^\circ$ 近くを維持するようになり、積分器としての特性が向上する。 $G_0$ はバイアス端子が接続されたMOSトランジスタ対4、5で決まる出力コンダクタンスであり、あまり変化させることはできない。

【0017】そのため本発明では、トランジスタ対2、3のドレインに付く容量 $C_M$ の値を調整することによって、寄生の極 $G_0/C_M$ を低周波数側に移動させ、零点の悪影響を補償する構成を取る。以下に本発明の実施例を図面を参照して説明する。なお、以下に示す図面において、図1と同じ符号は同一または類似の構成要素を示し、従ってその説明は重複しない。

【0018】図4は本発明の第1の実施例にかかるOTA回路の回路図である。図示するようにこの実施例で

は、図1に示す従来のOTA回路に対して、MOSトランジスタ対4、5のソースに、新たに容量10、11を付加した構成を特徴とする。図4では、容量10、11の一端は接地されているが、必ずしも接地する必要はなく、固定電位であれば良い。

【0019】容量10、11の大きさは、MOSトランジスタ4、5に起因する寄生容量 $C_M$ との合成値 $C_M$ が、 $G_0 / C_M$ の値を出来るだけ $1 / (R_0 \cdot C_0)$ の値に近づける様に選択する。この様にすることによって、 $G_m$ 値の相対バラツキを増大させることなく、寄生容量 $C_0$ による零点の積分器特性に与える悪影響を低減できるので、 $G_m - C$ 構成の積分器が理想的な積分器の特性に近くなる。

【0020】なお、このOTA回路によって積分器を構成する場合は、出力端子 $Out+$ および $Out-$ に、図に点線で示すように負荷容量 $C_L$ を接続する。図5は本発明の第2の実施例のOTA回路を示す。この実施例では、上記容量10、11を、MOSトランジスタ12、13で構成したことを特徴とする。なお、MOSトランジスタ12、13は図5に示すようにそのソースおよびドレインを接続しかつゲートを固定電位に接続して容量として動作するように構成されている。

【0021】この実施例では、実際の半導体装置の製造に当たって、他のMOSトランジスタと同一の製造工程においてMOSトランジスタ12、13を製造することが可能である。これによって、零点を発生させるMOSトランジスタの寄生容量 $C_0$ と、極を生み出すMOSトランジスタ12、13の容量とが比例関係となり、容量 $C_0$ の変動による寄生零点の移動と容量 $C_M$ の変動による極の移動が同じとなる。その結果容量 $C_M$ は製造工程の変動に伴う容量 $C_0$ の変動の影響を受けず、設計通りの結果を得ることができる。

【0022】図6は本発明の第3の実施例のOTA回路

を示す。この実施例では、図5値を出来るだけ小さくしようために、MOSトランジスタ対4性の容量14を接続した構成をて、図4、5に示した各実施例要な容量は $1/4$ となる。

【0023】

【発明の効果】以上、実施例を本発明によればOTA回路の $G_m$ を大させることなく、寄生容量にだけ低減することが可能である回路を $G_m - C$ 構成の積分器と周波数一位相特性は理想的な積分器で、半導体集積回路に搭載可能であることができる。これによって全体の小型化に寄与するところ

【図面の簡単な説明】

【図1】従来のOTA回路の図

【図2】図1のOTA回路を積のゲイン・位相特性を示すグラフ

【図3】図2の特性を示す積分

【図4】本発明の第1の実施例回路図。

【図5】本発明の第2の実施例回路図。

【図6】本発明の第3の実施例回路図。

【符号の説明】

1、2、3、4、5…MOSト

6、7、8、9…電流源

10、11…容量

12、13…MOSトランジスタ

14…容量

【図1】

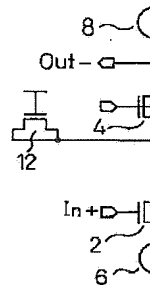
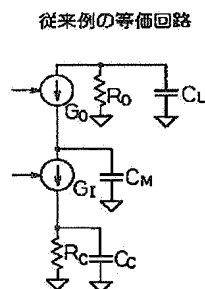
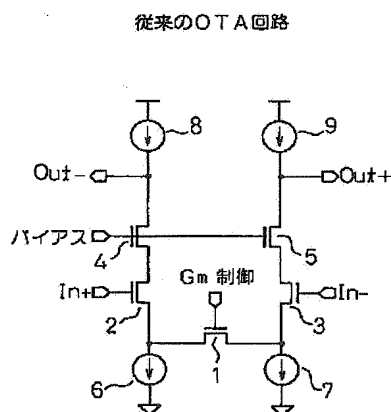
【図3】

図1

図3

図5

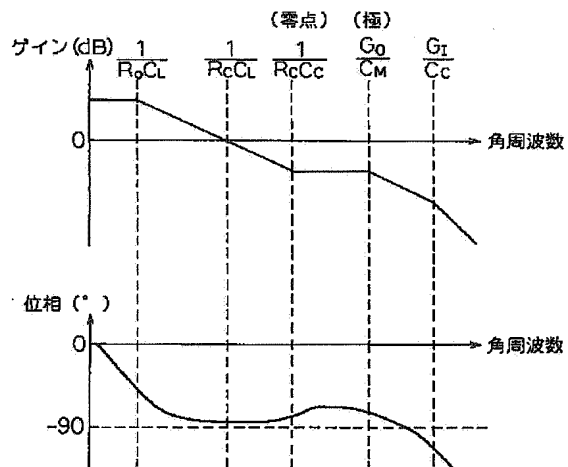
第2



【図 2】

図 2

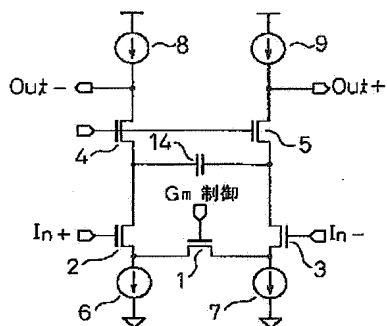
従来例のゲイン・位相特性



【図 6】

図 6

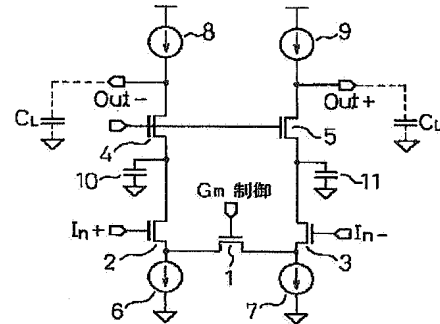
第 3 実施例の OTA 回路



【図 4】

図 4

第 1 実施例の OTA 回路



(11)特許出願公開番号

特開平6-342561

(43)公開日 平成6年(1994)12月13日

### 技術表示箇所

7736-5D

5/035

5/09

8322-5D

P 8628-5 J

審査請求 未請求 請求項の数 4 O.L (全 9 頁)

特願平5-130396

平成5年(1993)6月1日

株式会社日立製作所

東京都千代田区神田

長谷 健一

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所マイクロエレクトロニク  
ス機器開発研究所内

(74)代理人 弁理士 並木 昭夫

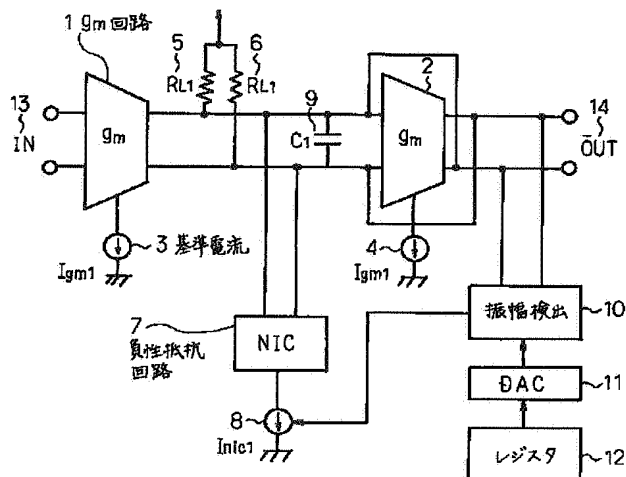
[最終頁に続く](#)

(54)【発明の名称】 イコライザフィルタ及び磁気ディスクシステム

(57) 【要約】

【目的】 比較的簡略な回路で安定した出力電位と、高い出力インピーダンスを得る電流出力形  $g_m$  アンプ構成のイコライザフィルタであって、製造上の難点を有しないものを提供する。

【構成】 イコライザフィルタを、可変コンダクタンスアンプ１、２と、負荷抵抗５、６と、可変負性抵抗７と、容量９と、該フィルタ出力の振幅検出手段１０と、可変負性抵抗７の抵抗値を電流８で制御する手段とで構成した。振幅検出手段１０は、レジスタ１２に予め設定された振幅情報をもとに、検出した出力振幅が振幅情報に一致するように可変負性抵抗７の抵抗値を制御する。



## 1

## 【特許請求の範囲】

【請求項1】 可変コンダクタンスアンプと、該アンプの出力として電流出力を得るために接続する負荷抵抗と、前記負荷抵抗の抵抗成分を打ち消すために接続する可変負性抵抗と、容量と、を少なくとも含んで成るアクチブフィルタであって、外部から入力される入力信号について、そこに含まれる高域のノイズをカットするだけでなく、その入力信号の波形を修正して出力するイコライザとしても機能する前記アクチブフィルタであるイコライザフィルタにおいて、そのフィルタ出力の振幅を検出する振幅検出手段と、検出された該振幅が或る特定の値になるように前記アクチブフィルタに含まれる前記可変負性抵抗の抵抗値を制御して振幅制御を行う振幅制御手段と、を備えたことを特徴とするイコライザフィルタ。

【請求項2】 請求項1に記載のイコライザフィルタにおいて、前記振幅制御手段は、前記アクチブフィルタに含まれる前記可変負性抵抗の抵抗値を制御することにより、フィルタ・ゲインが制御され、それに伴ってイコライザフィルタとしての所望のゲイン周波数特性が、フィルタとしての遮断周波数特性、群遅延特性を変化させることなく、実現される手段として機能することを特徴とするイコライザフィルタ。

【請求項3】 請求項1に記載のイコライザフィルタであって、その全体を1チップLSI化したことを特徴とするイコライザフィルタ。

【請求項4】 磁気ディスクから再生したアナログ信号を2値化してディジタル処理する磁気ディスクシステムにおいて、請求項1、2又は3に記載のイコライザフィルタを内蔵し、前記の再生アナログ信号をその2値化に先立って、前記イコライザフィルタに通して、その振幅制御ならびに波形修正を行うことを特徴とする磁気ディスクシステム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、アクチブフィルタに関するものであり、更に詳しくは、外部から入力される入力信号について、そこに含まれる高域のノイズをカットするだけでなく、その入力信号の波形を修正して出力するイコライザとしても機能するアクチブフィルタ（かかるアクチブフィルタを以後、イコライザフィルタと云う）に関するものである。

【0002】かかるイコライザフィルタ適用の具体例を次に説明して、本発明の産業上の利用分野を更に明らかにする。さて、磁気ディスク装置では、一般にディスクから磁気ヘッドにより読みだしたアナログ波形のピーク的位置を検出し、該位置の信号レベルを2値化することにより、ディジタルデータに変換して出力する。

【0003】しかし、その読み出し波形は、読み出し位置が、回転しているディスクの内周にあるか外周にある

## 2

かということや、信号の記録再生速度、磁気ヘッド及びディスク媒体の性質等によって色々異なるため、そのままの波形では正確なピーク位置の検出が困難である。そこで正確なピーク位置の検出を可能にするため、読み出し波形について様々な波形整形処理を行ない、その後にピーク位置の検出を行うのが普通である。

【0004】図7は、このようにして、読み出し波形について従来行われている波形整形処理回路の概略構成を示すブロック図である。同図に見られるように、波形整形処理回路は、AGCアンプ201、イコライザフィルタ202、振幅検出回路203、ピーク検出回路204で構成される。

【0005】図7において、AGCアンプ201は、読み出し波形を入力され増幅して出力するアンプであるが、主にディスクの内外周で変化する読み出し波形の振幅を一定に保つための増幅回路で、イコライザフィルタ202の出力側で振幅を検出する振幅検出回路203を使い、該振幅が一定になるようにAGCアンプ201をフィードバック制御している。

【0006】イコライザフィルタ202は、ピーク検出回路204で正確なピーク位置を検出できるように、パルス・スリミング（なだらかな山状の波形だとピーク位置検出が難しいので、これを急峻な槍状の波形に修正してピーク位置検出を容易にする整形処理）やノイズの除去を行なうもので、システムに応じて最適な特性を持つことが求められる。

【0007】本発明は、以上説明した如き事情により、読み出し波形の整形処理用等として用いられるようなイコライザフィルタの改良に関するものであり、更に具体的には、イコライザフィルタそのものにAGC（自動利得制御）機能を持たせ、簡略な回路で、最適な波形整形処理を行うことができ、読み出し波形の再生マージン向上を可能にするような、かかるイコライザフィルタの改良に関するものである。

## 【0008】

【従来の技術】図6は、イコライザフィルタの従来例を示す回路図である。説明を簡単化する都合上、フィルタとしては1次ローパスフィルタと言われるフィルタを示している。同図に示すフィルタは、二つの可変gm回路（コンダクタンスgmを可変させることのできるアンプで、可変コンダクタンスアンプ或いはトランスコンダクタンスアンプとも云う）101、102、gmを変化させる電流源（Igm）103、104、前記gm回路の出力負荷抵抗（RL）105、106、負性抵抗回路（NIC）107、前記負性抵抗回路の制御電流源（Inic）108、および、容量（C1）109から成っている。

【0009】このフィルタ回路の出力と入力の比である伝達特性をH1(s)で表わすと（ここでsは複素角周波数）、H1(s)は、前記のコンダクタンスgm、容

3

量C1を用いて次式で表される。

【0010】

【数1】

$$H1(s) = \frac{\frac{gm}{C1}}{s + \frac{gm}{C1}}$$

【0011】この時、フィルタの遮断周波数fcは、

【数2】

$$f_c = \frac{1}{2\pi} \frac{gm}{C1}$$

【0012】となる。また可変gm回路（可変コンダクタンスアンプ）101、102として例えば、後述の図2の（a）に示す如き回路を用いた場合、コンダクタンスgmの値は、コンダクタンスgmを変化させる電流源（Igm）103、104の電流値Igmを用いて、

【0013】

【数3】

$$gm = \frac{Igm}{4V_T}$$

【0014】と表されるので、電流値Igmを変化させることで、コンダクタンスgmが変わり、それによってフィルタの遮断周波数fcを変化させることができる。ここでVTは熱電圧（=kT/q）を示す（kはボルツマン定数、Tは絶対温度、qは電子の電荷）。なお、抵抗と容量で構成されるRCフィルタにおいて、遮断周波数fcを変化させようとすると、抵抗値を制御しなくてはならず、抵抗値の制御は一般に困難な場合があるので、このような場合、外部から電流値Igmを変化させることで簡単に遮断周波数fcを変化させることのできるフィルタ回路（つまり可変コンダクタンスアンプを用いたフィルタ回路）は都合の良い回路とされている。

【0015】ところで、図6において、可変gm回路101から電流の変化分を出力として取り出すには、電流を供給する回路が必要となる。そこで可変gm回路101に、電流供給用の電流源を付加した電流出力gmアンプが考えられるが、この場合、出力の電位を安定させる自己バイアス回路が複雑になると共に、高い出力インピーダンスの安定した特性を得るのが難しいという問題があった。

【0016】そこで、図6に示すように、電流供給用の電流源の代わりに、出力負荷抵抗（RL）105、106を接続して図示せざる電源から電流を供給し、その抵抗成分を打ち消すために、負性抵抗回路（NIC）107を接続し、比較的簡略な回路で安定した出力電位と、高い出力インピーダンスを得ることのできる電圧入力電流出力形のgmアンプ（可変コンダクタンスアンプ101）が用いられるようになった。

4

【0017】この時、例えば、負性抵抗回路（NIC）107としては、後述の図3の（a）に示す如き回路を用いた場合、

【0018】

【数4】

$$RL = R_{nica} + \frac{2V_T}{I_{nica}}$$

【0019】が成立するように、図3の（a）における電流源（Inica）38及び抵抗（Rnica）37を設定すれば、負荷抵抗（RL）105、106の抵抗成分を打ち消すことができる。

【0020】なお、先に説明した図7におけるイコライザフィルタ202として、図6を参照して説明した如きフィルタが用いられるようになった事情について、参考までに以下、簡単に説明しておく。近年、装置の小型化、高速化の要求や、扱う信号の多様化にともなって、高性能、高機能の1チップ信号処理LSIが必要となっている。特に磁気ディスクでは、記録密度の向上のため、ディスクの内周と外周で、記録、再生速度を変化させる方式が採用され始めている。

【0021】この記録方式においては、ディスクの内周と外周で再生信号の周波数成分が異なるため、再生系の信号処理回路では、それぞれの周波数成分に最適化された回路特性が要求される。そこで図7におけるイコライザフィルタ202では、電流出力形のgm回路（可変コンダクタンスアンプ）と容量Cを用いた構成の特性可変フィルタ（図6）が、オンチップフィルタに有利であるとして、実現され用いられているのである。

【0022】

【発明が解決しようとする課題】上記従来技術では、比較的簡略な回路で安定した出力電位と、高い出力インピーダンスを得ることのできる電流出力形gmアンプ構成のイコライザフィルタを実現できるが、そのためには、上記（数4）式を精度よく実現すること、すなわち、図6において負荷抵抗（RL）105、106、図3の（a）において抵抗（Rnica）37、電流源（Inica）38をそれぞれ精度よく実現すること、が必要であり、それは製造上難しいという問題があった。

【0023】本発明の目的は、かかる従来技術の問題点を解決し、比較的簡略な回路で安定した出力電位と、高い出力インピーダンスを得ることのできる電流出力形gmアンプ構成のイコライザフィルタであって、製造上の難点を有しないイコライザフィルタを提供することにある。更に、かかるイコライザフィルタを取り入れた磁気ディスクシステムを提供することにある。

【0024】

【課題を解決するための手段】上記目的達成のため本発明では、可変コンダクタンスアンプと、該アンプの出力として電流出力を得るために接続する負荷抵抗と、前記負荷抵抗の抵抗成分を打ち消すために接続する可変負性



## 5

抵抗と、容量と、を少なくとも含んで成るアクチブフィルタであって、外部から入力される入力信号について、そこに含まれる高域のノイズをカットするだけでなく、その入力信号の波形を修正して出力するイコライザとしても機能する前記アクチブフィルタであるイコライザフィルタにおいて、

【0025】そのフィルタ出力の振幅を検出する振幅検出手段と、検出された該振幅が或る特定の値になるように前記アクチブフィルタに含まれる前記可変負性抵抗の抵抗値を制御して振幅制御を行う振幅制御手段と、を備えた。

【0026】

【作用】振幅検出手段はフィルタ出力の振幅を検出する。振幅制御手段は、検出された振幅値と、あらかじめ設定された振幅情報とを比較し、その差が解消するように、可変負性抵抗の抵抗値を制御して振幅を制御する。このようにして振幅を制御するということは、イコライザフィルタ回路にAGC（自動利得制御）機能を持たせたことに相当し、従来技術ではAGCアンプとイコライザフィルタを要したものを、本発明では、その両者を合成して簡略で高精度なイコライザフィルタを実現したものである。

【0027】振幅制御手段は、前述のようにして可変負性抵抗の抵抗値を制御することにより、フィルタ・ゲイン（利得）が制御され、それに伴ってイコライザフィルタとしての所望のゲイン周波数特性が、フィルタの遮断周波数特性、群遅延特性を変化させることなく、実現される手段として機能するわけである。遮断周波数特性、群遅延特性を変化させたいときは、可変コンダクタンスアンプにおけるコンダクタンスgmを可変させればよい。

【0028】

【実施例】以下、本発明の実施例を図を参照して説明する。図1は、本発明の一実施例としてのイコライザフィルタを示す回路図である。なお本実施例は、フィルタの特性としては1次フィルタの場合を示している。

【0029】図1において、gm回路（可変コンダクタンスアンプ）1、2は、差動入力である入力電圧にたいして、コンダクタンスgmの比で電流を出力する可変トランスコンダクタンス回路を意味し、基準電流（Igm1）3、4で動作する。この時、基準電流（Igm1）3、4を変化させることで、gm回路のgm（コンダクタンス）を変化することができる。

【0030】負荷抵抗（RL1）5、6は、gm回路1、2から電流を取り出すための電流供給用として、該gm回路1、2の出力側に接続し、その抵抗成分を打ち消すための負性抵抗回路（NIC）7を並列して接続する。負性抵抗回路（NIC）7は、基準電流（Inic1）8で制御され、前記の（数4）式が成り立つように精度良く設定する必要がある。

## 6

【0031】本実施例では、イコライザフィルタの出力（out）14に振幅検出回路10を接続し、検出した出力振幅に応じて基準電流（Inic1）8を制御する。即ち振幅検出回路10に、比較の基準となる基準振幅を、基準振幅情報を蓄えるレジスタ12から、デジタル／アナログ変換器（DAC）11で、アナログ量に変換して与え、これとの比較結果が零となるように基準電流（Inic1）8を制御するわけである。

【0032】ここでイコライザフィルタの出力振幅で負性抵抗回路（NIC）7を制御する動作原理について説明する。今、電流出力形のgmアンプ（gm回路1、2）の出力電圧利得をAo、出力抵抗をZoとすると、gmを用いて、

【0033】

【数5】

$$A_o = g_m \cdot Z_o$$

【0034】なる関係が成り立つ。また1次フィルタのDCゲインGoは、前記出力電圧利得Aoを用いて、

【0035】

【数6】

$$G_o = \frac{1}{1 + \frac{1}{A_o}}$$

【0036】と表される。従って、前記出力電圧利得Aoが十分大きければ、DCゲインは1となる。また、出力抵抗Zoは、負荷抵抗（RL1）5、6と、負性抵抗（NIC）7の合成抵抗となるので、前記の（数4）式が成り立てば、出力抵抗Zoは無限度となり、1次フィルタのDCゲインも1となる。

【0037】なおこの時gm回路1、2の出力抵抗は、前記負荷抵抗（RL1）5、6に対して十分大きいと仮定している。また、前記（数4）式において等式が成り立たない場合、例えば負荷抵抗（RL1）5、6が、負性抵抗（NIC）7よりも大きい場合は、出力抵抗Zoは正の有限の値を持ち、前記（数6）式より、1次フィルタのDCゲインは1より小さくなる。

【0038】負荷抵抗（RL1）5、6が、負性抵抗（NIC）7よりも小さい場合は、出力抵抗Zoは負の有限の値を持ち、前記（数6）式より、1次フィルタのDCゲインは1より大きくなる。このことから、振幅検出回路10でフィルタの出力振幅を検出し、検出した振幅から負性抵抗（NIC）を制御し、出力抵抗Zoを変化させれば、gmの値を変化させることなく、すなわちフィルタ特性を変化させずに、DCゲイン（フィルタ利得）を調整することができるわけである。

【0039】図2は、図1におけるgm回路の具体例を（a）、（b）、（c）として三つ示した回路図である。図2の（a）に示す回路は、単純な差動入力回路で、一組の差動トランジスタ対Qa1、Qa2（15、16）と基準電流（Iea）17で構成する。この時、

7

入力差電圧に対する出力差電流を示すトランスコンダクタンスを  $g_{m2a}$  として表わすものとする、トランスコンダクタンス  $g_{m2a}$  は、

【0040】

【数7】

$$g_{m2a} = \frac{I_{ea}}{4V_T}$$

【0041】で表される。図2の(b)は、図2の(a)の差動入力回路にエミッタ抵抗を接続し、入力レンジを広げたもので、一組の差動トランジスタ対  $Q_{b1}$ 、 $Q_{b2}$  (20、21)、基準電流 ( $I_{eb1}$ ) 23、24、及びエミッタ抵抗 ( $R_{b1}$ ) 22で構成する。この時トランスコンダクタンス  $g_{m2b}$  は、前記差動トランジスタ対  $Q_{b1}$ 、 $Q_{b2}$  (20、21) のエミッタ抵抗 ( $R_{b1}$ ) の抵抗値  $r_e$  を用いて、

【0042】

【数8】

$$g_{m2b} = \frac{1}{(R_{b1} + 2r_e)}$$

【0043】で表される。図2の(c)は、二組のエミッタサイズの異なるトランジスタ対を組み合わせる入力レンジを広げたもので、差動トランジスタ対  $Q_{c1}$ 、 $Q_{c2}$  (27、28、エミッタサイズの異なる差動トランジスタ対  $Q_{c3}$ 、 $Q_{c4}$  (29、30) 及び基準電流 ( $I_{ec1}$ ) 31、32で構成する。この時トランスコンダクタンス  $g_{m2c}$  は、

【0044】

【数9】

$$g_{m2c} = 0.64 \frac{I_{ec1}}{V_T}$$

【0045】で表される。これらの回路は、すべて基準電流を変えることで  $g_m$  (コンダクタンス) を変えることができる。

【0046】図3は、図1における負性抵抗 (NIC) 回路の具体例を示した回路図である。図3の(a)は最も簡単な回路構成で、一組のトランジスタ対  $Q_{a3}$ 、 $Q_{a4}$  (35、36)、エミッタ抵抗 ( $R_{nica}$ ) 37、及び基準電流 ( $I_{nica}$ ) 38、39で構成する。この時、出力抵抗値を  $Z_{nica}$  とすると、

【0047】

【数10】

$$Z_{nica} = - \left[ R_{nica} + \frac{2V_T}{I_{nica}} \right]$$

【0048】と表され、負性抵抗となっていることを示す。図3の(b)は、図3の(a)の回路にベース電流供給用のエミッタフォロウ回路を追加し、特性を改善したもので、トランジスタ対  $Q_{b3}$ 、 $Q_{b4}$  (41、42)、 $Q_{b5}$ 、 $Q_{b6}$  (43、44)、エミッタ抵抗 ( $R_{nicb}$ ) 45、基準電流 ( $I_{nicb1}$ ) 46、

8

47、基準電流 ( $I_{nicb2}$ ) 48、49で構成する。この時、出力抵抗値  $Z_{nicb}$  は、 $Z_{nica}$  と同様に、

【0049】

【数11】

$$Z_{nicb} = - \left[ R_{nicb} + \frac{2V_T}{I_{nicb2}} \right]$$

となる。

10 【0050】図4は、図1における振幅検出回路10の構成例を示したブロック図で、ピークホールド (P/H) 回路51、コンパレータ52で構成する。P/H回路51は、その入力 ( $I_N$ ) 53にイコライザフィルタ回路の出力を接続し、フィルタ出力信号のピークの信号振幅をホールドする。コンパレータ52は、P/H回路51の出力電圧と、DAC11からの基準電圧60を比較し、差電圧に相当する制御電流 ( $out$ ) 54を出力する。制御電流 ( $out$ ) 54は、NIC回路7の基準電流 ( $I_{nic1}$ ) 8に接続され、NIC回路7の負性抵抗値を制御する。

20 【0051】図5は、本発明にかかるイコライザフィルタを、波形整形処理回路として見たときの構成をブロックで示したブロック図である。波形整形処理回路は、本発明にかかるAGC機能付きのイコライザフィルタ55とピーク検出回路56で構成されることになる。従来は独立した機能ブロックであったAGC回路とイコライザフィルタ回路を同一回路で構成できるので構成が簡略になる。

30 【0052】次に図8は、本発明の他の実施例としてのイコライザフィルタを示す回路図で、この場合、フィルタの特性としては  $n$  次フィルタの構成例を示す。  $g_{ma1}$  回路301、302、基準電流 ( $I_{gma1}$ ) 303、304、負荷抵抗 ( $R_{La1}$ ) 305、306、NICa1回路307、NICa1回路の基準電流 ( $I_{nica1}$ ) 308で構成する1次フィルタを  $n$  個直列に接続し、 $n$  次フィルタを構成したものである。

40 【0053】ここでは、最終段の出力 ( $out$ ) 321に接続した振幅検出回路319の出力で、 $n$  個のNIC基準電流 ( $I_{nica1}$ ) 307 ~ ( $I_{nican}$ ) 316を共通に制御する。この場合は、1次フィルタを  $n$  個接続して  $n$  次フィルタを構成したが、もちろん2次バイカッパフィルタを組み合わせても同様である。

50 【0054】図9は、本発明の更に別の実施例で、 $n$  次フィルタの別の構成例を示す。図8の構成例と同様に、 $g_{mb1}$  回路322、323、基準電流 ( $I_{gmb1}$ ) 324、325、負荷抵抗 ( $R_{Lb1}$ ) 326、327、NICb1回路328、NICb1回路の基準電流 ( $I_{nicb1}$ ) 329で構成する1次フィルタを  $n$  個直列に接続し、 $n$  次フィルタを構成したもののだが、図8の構成例と異なり、各1次ごとの出力に振幅検出回路1

～振幅検出回路 $n$  (331～341)を $n$ 個接続し、それぞれに対応する $n$ 個のNIC基準電流 ( $I_{nicb1}$ )～( $I_{nicbn}$ )を制御する。

【0055】これにより、図8の例に比べてより精度のよい制御が可能となる。また、この場合も1次フィルタを $n$ 個接続して $n$ 次フィルタを構成したが、もちろん2次パイカットフィルタを組み合わせても同様である。

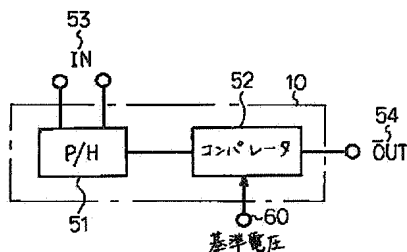
【0056】図10は、本発明にかかるイコライザフィルタを磁気ディスクシステムに取り入れた実施例を示すブロック図である。この実施例は、ヘッド344、信号の増幅を行うR/Wアンプ345、本発明によるAGC機能付きイコライザフィルタ346、信号のピーク位置を検出し、パルス化するピーク検出回路347、パルス化信号に同期したクロックを生成するデータセパレータ348、記録符号への符号化、及び、復号を行うエンコーダ・デコーダ349、データのコントロールを行うコントローラ350、データのやり取りを行うI/F (インタフェース) 351、コントローラ350、I/F 351等の制御を行うプロセッサ352、データを蓄えるRAM/ROM353、及び、データの処理を行うホスト354、で構成する。

【0057】図10では、ヘッド344で磁気ディスク (図示せず) から再生された信号は、R/Wアンプ345で増幅された後、AGC機能付きイコライザフィルタ346で精度良く、高域のノイズをカットされると共に、信号波形を修正 (パルス・スリミング) されピーク検出回路347へ供給されるので、磁気ディスクで記録密度の向上のため、ディスクの内周と外周で、記録、再生速度を変化させる方式が採用されている場合などでも、正しいピーク位置検出が可能となり、その後の処理が円滑に行えるという利点があるわけである。

【0058】

【発明の効果】本発明によれば、比較的簡略な回路で安定した出力電位と、高い出力インピーダンスを得ることのできる電流出力形gmアンプ構成のイコライザフィルタであって、製造上の難点を有しないイコライザフィル

【図4】



タを提供できるという利点がある。また、本発明にかかるイコライザフィルタは、AGC機能を持ち、AGCアンプとイコライザフィルタ単体を合成した簡略で高精度な波形整形処理回路を構成しているの、かかるイコライザフィルタを取り入れた磁気ディスクシステムも高精度なシステムを期待できるという利点がある。

【図面の簡単な説明】

【図1】本発明の一実施例としてのイコライザフィルタを示す回路図である。

10 【図2】図1におけるgm回路の具体例を (a)、(b)、(c) として三つ示した回路図である。

【図3】図1における負性抵抗 (NIC) 回路の具体例を示した回路図である。

【図4】図1における振幅検出回路の構成例を示したブロック図である。

【図5】本発明にかかるイコライザフィルタを、波形整形処理回路として見たときの構成を示すブロック図である。

20 【図6】イコライザフィルタの従来例を示す回路図である。

【図7】従来の波形整形処理回路の概略構成を示すブロック図である。

【図8】本発明の他の実施例としてのイコライザフィルタを示す回路図である。

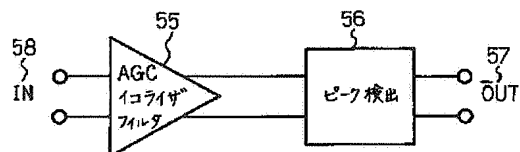
【図9】本発明の更に他の実施例としてのイコライザフィルタを示す回路図である。

【図10】本発明にかかるイコライザフィルタを磁気ディスクシステムに取り入れた実施例を示すブロック図である。

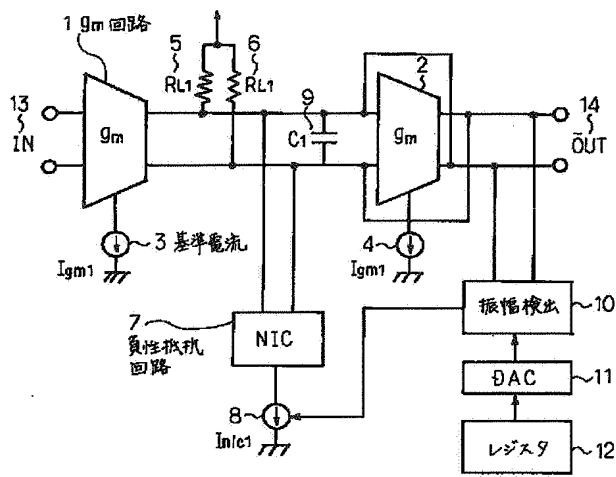
30 【符号の説明】

1、2…gm回路、3、4…基準電流 ( $I_{gm1}$ )、5、6…負荷抵抗 ( $R_{L1}$ )、7…負性抵抗 (NIC) 回路、8…負性抵抗基準電流 ( $I_{nic1}$ )、9…容量、10…振幅検出回路、11…デジタル/アナログ変換器 (DAC)、12…レジスタ

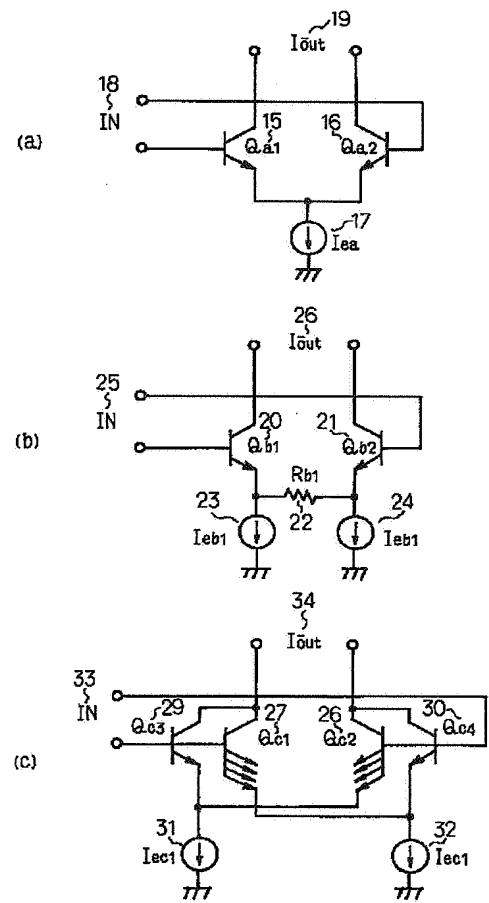
【図5】



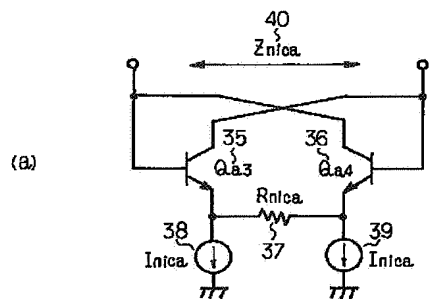
【図1】



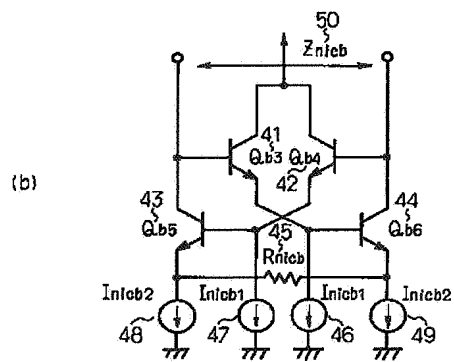
【図2】



【図3】

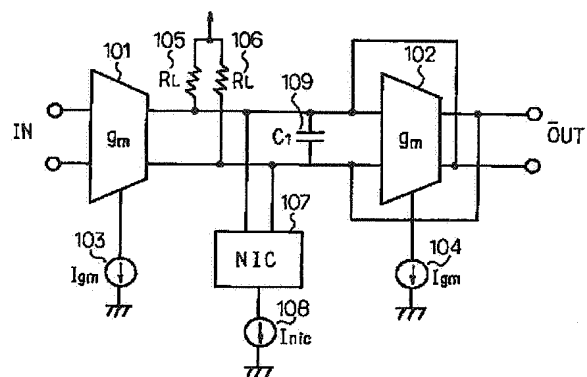


(a)

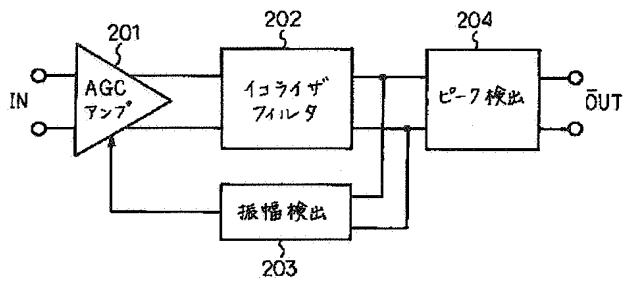


(b)

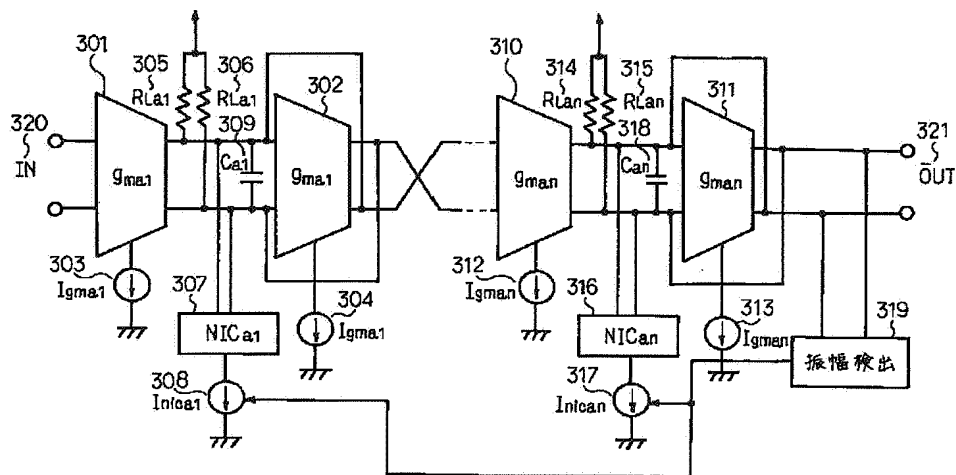
【図6】



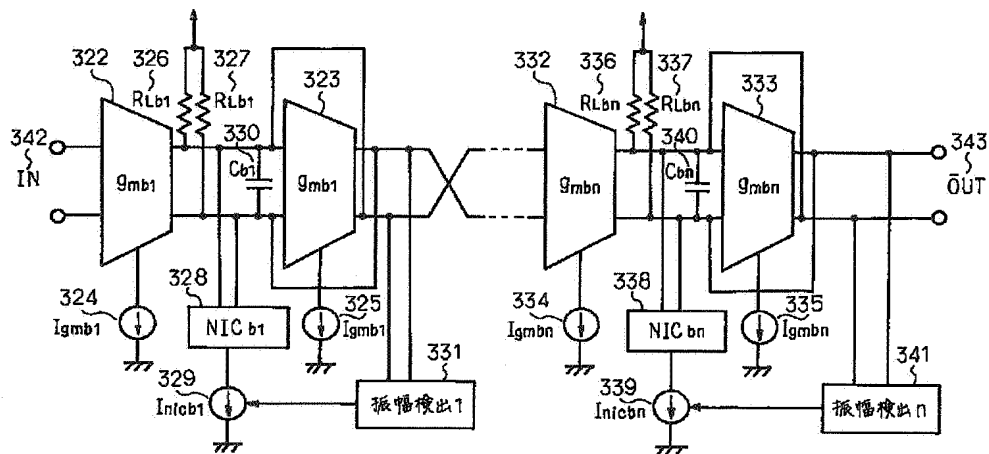
【図7】



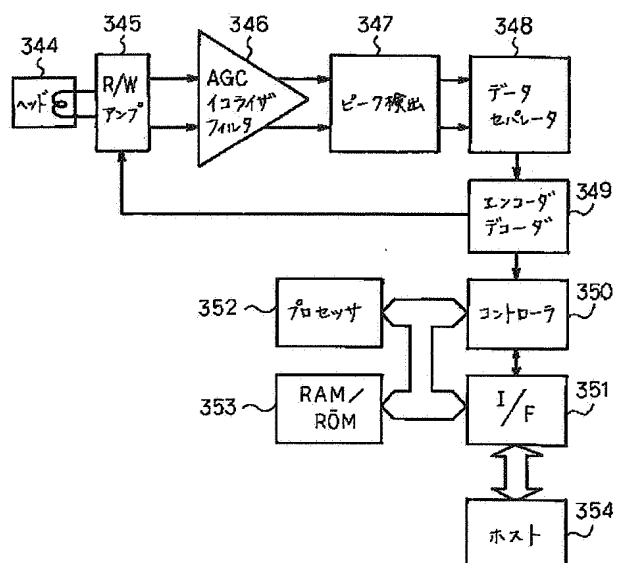
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 木村 博  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所マイクロエレクトロニク  
ス機器開発研究所内

(72)発明者 淡野 公一  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所マイクロエレクトロニク  
ス機器開発研究所内

(72)発明者 浦上 憲  
群馬県高崎市西横手町111番地 株式会社  
日立製作所半導体設計開発センタ内